

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月15日

出 願 番 号

Application Number:

特願2000-382472

出 願 人

Applicant(s):

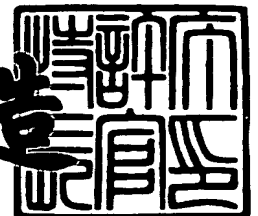
日本電気株式会社

#3/Review
4/17/02
C. McKinney

2001年 9月 6日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3082478

【書類名】 特許願

【整理番号】 76110375

【提出日】 平成12年12月15日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/136
H01L 29/786

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 坂本 道昭

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 山口 裕一

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100086645

【弁理士】

【氏名又は名称】 岩佐 義幸

【電話番号】 03-3861-9711

【手数料の表示】

【予納台帳番号】 000435

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001715

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置用トランジスタ基板及びその製造方法

【特許請求の範囲】

【請求項 1】

透明絶縁性基板の上に、ゲート電極、ゲート絶縁膜、半導体層、ソース電極及びドレイン電極、パッシベーション膜が、記載順に積層され、対向基板との間に液晶層を充填して対向配置された液晶表示装置用トランジスタ基板において、

データ配線及びドレイン電極の下の半導体層と、ソース電極の下の半導体層を切り離したことを特徴とする液晶表示装置用トランジスタ基板。

【請求項 2】

前記パッシベーション膜の上に、平坦化層、画素電極が記載順に形成され、前記画素電極は、前記平坦化層及び前記パッシベーション膜を貫くコンタクトスルーホールを介して前記ドレイン電極に接続されることを特徴とする請求項 1 に記載の液晶表示装置用トランジスタ基板。

【請求項 3】

前記パッシベーション膜の上に、凹凸層、反射電極が記載順に形成され、前記反射電極は、前記凹凸層及び前記パッシベーション膜を貫くコンタクトスルーホールを介して前記ドレイン電極に接続されることを特徴とする請求項 1 に記載の液晶表示装置用トランジスタ基板。

【請求項 4】

前記凹凸層を、前記透明絶縁性基板の上に複数本突設された、前記ゲート絶縁膜、前記半導体層、前記パッシベーション膜を積層したベース柱を覆って形成したことを特徴とする請求項 3 に記載の液晶表示装置用トランジスタ基板。

【請求項 5】

前記パッシベーション膜の上に、遮光層及びカラーフィルタ層を設けたことを特徴とする請求項 2 に記載の液晶表示装置用トランジスタ基板。

【請求項 6】

前記半導体層及び前記パッシベーション膜は、前記ソース電極及び前記ドレイン電極を内包するように、前記ソース電極及び前記ドレイン電極の外側に位置す

ることを特徴とする請求項 1 から 5 のいずれかに記載の液晶表示装置用トランジスタ基板。

【請求項 7】

前記パッシベーション膜、前記半導体層、前記ゲート絶縁膜による積層構造をテーパ状に形成したことを特徴とする請求項 6 に記載の液晶表示装置用トランジスタ基板。

【請求項 8】

前記透明絶縁性基板の上に形成されて前記ゲート絶縁膜に覆われたゲート側の引き出し配線、及び前記半導体層の上に形成されて前記パッシベーション膜に覆われたデータ側の引き出し配線と、

前記透明絶縁性基板の上に形成されたゲート端子、及び前記半導体層の上に形成され一部露出した状態で前記パッシベーション膜に覆われたデータ端子と

を有することを特徴とする請求項 1 から 7 のいずれかに記載の液晶表示装置用トランジスタ基板。

【請求項 9】

透明絶縁性基板の上に、ゲート電極、ゲート絶縁膜、半導体層、ソース電極及びドレイン電極、パッシベーション膜が、記載順に積層され、対向基板との間に液晶層を充填して対向配置された液晶表示装置用トランジスタ基板の製造方法において、

前記透明絶縁性基板上に、ゲート配線、前記ゲート電極及びゲート端子を形成する第 1 のパターニング工程と、

前記ゲート絶縁膜、前記半導体層、及びオーミックコンタクト層を連続的に積層した後、前記ソース電極、ソース配線、前記ドレイン電極、及びデータ端子を形成する第 2 のパターニング工程と、

前記ソース電極、前記ソース配線、前記ドレイン電極、及び前記データ端子を覆うように、前記パッシベーション膜を成膜し、前記ドレイン電極と画素電極とのコンタクトをとるコンタクトスルーホールを形成した後、同一のマスクを用いて不要な半導体層を除去することにより、前記パッシベーション膜のパターニングと前記半導体層のパターニングを同一工程で行う第 3 のパターニング工程と

からなることを特徴とする液晶表示装置用トランジスタ基板の製造方法。

【請求項 1 0】

前記パッシベーション膜の成膜後、オーバーコート層を形成しコンタクトスルーホールを開口する第 4 のパターニング工程と、

前記オーバーコート層の上に前記画素電極を成膜する第 5 のパターニング工程と

を有することを特徴とする請求項 9 に記載の液晶表示装置用トランジスタ基板の製造方法。

【請求項 1 1】

前記パッシベーション膜の成膜後、前記パッシベーション膜の上に凹凸層を形成し、その後コンタクトスルーホールを開口する第 4 のパターニング工程と、

前記凹凸層の上に反射電極となる反射膜を成膜する第 5 のパターニング工程と
を有することを特徴とする請求項 9 に記載の液晶表示装置用トランジスタ基板の製造方法。

【請求項 1 2】

透明絶縁性基板の上に、ゲート電極、ゲート絶縁膜、半導体層、ソース電極及びドレイン電極、パッシベーション膜が、記載順に積層され、対向基板との間に液晶層を充填して対向配置された液晶表示装置用トランジスタ基板の製造方法において、

前記透明絶縁性基板上に、ゲート配線、前記ゲート電極及びゲート端子を形成する第 1 のパターニング工程と、

前記ゲート絶縁膜、前記半導体層、及びオーミックコンタクト層を連続的に積層した後、前記ソース電極、ソース配線、前記ドレイン電極、及びデータ端子を形成する第 2 のパターニング工程と、

前記ソース電極、前記ソース配線、前記ドレイン電極、及び前記データ端子を覆うように、前記パッシベーション膜を成膜し、前記ドレイン電極と画素電極とのコンタクトをとるコンタクトスルーホールを形成すると共に、ベース柱を形成した後、同一のマスクを用いて不要な半導体層を除去することにより、前記パッシベーション膜のパターニングと前記半導体層のパターニングを同一工程で行う

第 3 のパターニング工程と

前記ベース柱及び前記パッシベーション膜の上に凹凸層を形成し、その後コンタクトスルーホールを開口する第 4 のパターニング工程と、

前記凹凸層の上に反射電極となる反射膜を成膜する第 5 のパターニング工程とからなることを特徴とする液晶表示装置用トランジスタ基板の製造方法。

【請求項 1 3】

前記第 1 のパターニング工程で、ゲート側の引き出し配線及びゲート端子を形成し、

前記第 2 のパターニング工程で、前記ゲート側の引き出し配線を覆う前記ゲート絶縁膜、前記半導体層、データ側の引き出し配線及びデータ端子を形成し、

前記第 3 のパターニング工程で、前記半導体層、前記データ側の引き出し配線、及び一部露出させて前記データ端子を覆う前記パッシベーション膜を形成する

ことを特徴とする請求項 9 から 1 2 のいずれかに記載の液晶表示装置用トランジスタ基板の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、液晶表示装置用トランジスタ基板及びその製造方法に関し、特に、アクティブマトリクス型の液晶表示装置用トランジスタ基板及びその製造方法に関する。

【0 0 0 2】

【従来の技術】

従来、液晶に電圧を印加する能動素子として、チャネルエッチ型の非晶質シリコン (a-Si) 薄膜トランジスタ (thin film transistor: TFT) を用いたアクティブマトリクス型液晶表示装置が知られている。

【0 0 0 3】

図 1 4 は、従来のアクティブマトリクス型液晶表示装置用トランジスタ基板の平面図である。図は、単位画素分を示す。図 1 5 は、図 1 4 の薄膜トランジスタ部の断面図であり、図 1 6 は、図 1 4 の端子部を示し、(a) はゲート端子部の

断面図、(b) はデータ端子部の断面図である。

【0004】

図14に示すように、a-SiTFT1は、XYマトリクス of 交点の画素毎に設けられており、ゲート電極2、その上に対向配置されたソース電極3とドレイン電極4を有している。ゲート電極2はゲート配線2aに、ソース電極3はソース配線3aに、ドレイン電極4はコンタクトスルーホール5を介して画素電極6に、それぞれ接続されている。

【0005】

図15に示すように、透明絶縁性基板7aの上に形成されたゲート電極2は、ゲート絶縁膜7bに覆われており、更にゲート絶縁膜7bの上のゲート電極2と重畳する位置には、半導体層8が形成されている。半導体層8の中央部上方で隔てられたソース電極3とドレイン電極4は、オーミックコンタクト層9を介して半導体層8に接続される。

【0006】

オーミックコンタクト層9は、ソース電極3とドレイン電極4間がエッチング除去され、ソース電極3及びドレイン電極4と半導体層8の間にのみ形成されている。更に、ソース電極3、ドレイン電極4、オーミックコンタクト層9及び半導体層8を覆って、パッシベーション膜7cが形成されている。パッシベーション膜7cを貫くコンタクトスルーホール5を介して、画素電極6となる透明導電膜とドレイン電極4が接続されている。

【0007】

このa-SiTFT1には、ゲート配線2aとゲート電極2を通してスイッチング信号が、ソース配線3aとソース電極3を通して映像信号が、それぞれ入力され、画素電極6への書き込みが行われる。

【0008】

図16に示すように、ゲート端子部((a)参照)は、透明絶縁性基板7a上のゲート電極2に接続された画素電極6を、ゲート絶縁膜7b及びパッシベーション膜7cの上に露出させて、ゲート端子2bが形成されている。データ端子部((b)参照)は、ゲート絶縁膜7bの上のデータ線に接続された画素電極6を

、パッシベーション膜 7 c の上に露出させて、データ端子 4 a が形成されている。

【 0 0 0 9 】

図 1 7 は、図 1 4 のトランジスタ基板の製造方法を薄膜トランジスタ部について示す工程図である。図 1 7 に示すように、先ず、ガラス等の透明絶縁性基板 7 a 上に、スパッタリング装置により、例えばアルミニウム (A l)、モリブデン (M o)、クロム (C r) 等からなる導電層を、約 1 0 0 ~ 4 0 0 n m の厚さで堆積する。

【 0 0 1 0 】

その後、フォトリソグラフィ工程により、ゲート配線 (図示しない)、ゲート電極 2 及びゲート端子 (図示しない) を形成する、第 1 のパターニングを行う ((a) 参照)。このゲート端子 (図 1 6 (a) 参照) は、表示用の外部信号処理基板に接続される。

【 0 0 1 1 】

次に、シリコン窒化膜等からなるゲート絶縁膜 7 b、アモルファスシリコンからなる半導体層 8、及び n^+ アモルファスシリコンからなるオーミックコンタクト層 9 を、プラズマ C V D によって、それぞれ 4 0 0 n m、3 0 0 n m、5 0 n m 程度の厚さで連続的に積層する。積層後、半導体層 8 とオーミックコンタクト層 9 を一括してパターニングする、第 2 のパターニングを行う ((b) 参照)。

【 0 0 1 2 】

次に、ゲート絶縁膜 7 b 及びオーミックコンタクト層 9 を覆うように、スパッタリング装置によって、M o、C r 等の導電層を約 1 0 0 ~ 2 0 0 n m の厚さで堆積する。堆積後、フォトリソグラフィ工程により、ソース電極 3、ソース配線 3 a、ドレイン電極 4、及びデータ端子部 (図 1 6 (b) 参照) を形成する第 3 のパターニングを行う。データ端子部のデータ端子は、表示用の外部信号処理基板に接続される。

【 0 0 1 3 】

この第 3 のパターニングと共に、a - S i T F T 1 のチャネル部となるソース電極 3 とドレイン電極 4 の下部以外の、不要なオーミックコンタクト層 9 を除去

する（（c）参照）。

【0014】

次に、a-Si TFT 1 のバックチャネル、ソース電極 3、ソース配線（データ配線）3 a、ドレイン電極 4、及びデータ端子（図示しない）を覆うように、プラズマ CVD により、シリコン窒化膜等の無機膜からなるパッシベーション膜 7 c を、約 100 ～ 200 nm 程度の厚さで成膜する。

【0015】

成膜後、ドレイン電極 4 と画素電極 6 とのコンタクトをとるためのコンタクトスルーホール 5 を形成し、データ端子部（図示しない）上の不要なパッシベーション膜 7 c、ゲート端子（図示しない）上の不要なゲート絶縁膜 7 b 及びパッシベーション膜 7 c を除去する、第 4 のパターニングを行う（（d）参照）。

【0016】

更に、画素電極 6 となる透明導電膜を、スパッタリング装置で成膜し、第 5 のパターニングを行う（（e）参照）。

【0017】

このように、アクティブマトリクス基板は、上述した 5 つのパターニング工程（（a）から（e）参照）を経て製造される。このアクティブマトリクス基板と、カラーフィルタ層及び電極を設けたもう 1 枚の基板とを組み合わせた、2 枚の基板に液晶を挟んで、液晶表示装置を形成する。

【0018】

この従来の液晶表示装置に対し、アクティブマトリクス基板に有機膜を設けることによって液晶表示装置の性能を高める技術の開発が、近年盛んになっている。

【0019】

例えば、アクティブマトリクス基板上に有機膜の平坦化層を設けることにより、液晶のディスクリネーションを制御し、液晶の表示性能を高める技術（有機層間分離技術）が、特開平 6 - 2 4 2 4 3 3 号公報に開示されている。

【0020】

また、アクティブマトリクス基板にカラーフィルタ層を設けることにより、開

口率を高める技術（カラーフィルタオンTFT技術）が、特開平8-122824号公報に開示されている。

【0021】

更に、アクティブマトリクス基板に有機膜による凹凸を形成し、その上に反射電極を設けることで、映り込みの少ない良好な反射型液晶表示装置を製造する方法（凹凸反射板形成技術）が、特開平5-232465号公報に開示されている。

【0022】

以下、一例として、有機層間分離技術によるアクティブマトリクス基板の製造方法を説明する。なお、特開平6-242433号公報においては、多結晶シリコン（p-Si）をスイッチング素子とした技術を開示しているが、ここでは、従来技術との整合上、スイッチング素子としてチャネルエッチ型a-SiTFTを用いたものについて説明する。

【0023】

このアクティブマトリクス基板の場合、パッシベーション膜7c上には、厚膜の平坦化層が設けられ、平坦化層上には、更に、画素電極6となる透明導電膜が設けられている。この透明導電膜は、平坦化層及びパッシベーション膜7cを貫くコンタクトスルーホール5を介して、ドレイン電極4に接続される。

【0024】

次に、有機層間分離技術によるアクティブマトリクス基板の製造方法について説明する。パッシベーション膜の形成工程である第4のパターニング（図17（d））までは、上記従来技術と同じであるため説明を省略する。

【0025】

第4のパターニングの後、平坦化層を形成する。具体的には、アクリル樹脂等からなる透明な感光性レジストをスピンコート法で塗布した後、フォトリソグラフィ工程により、コンタクトスルーホール6のために平坦化層を開口する第5のパターニングを行う。

【0026】

最後に、図17（e）に示すように、画素電極6となる透明導電膜をスパッタ

リング装置で成膜し、第 6 のパターニングを行う。

【 0 0 2 7 】

【発明が解決しようとする課題】

しかしながら、有機層間分離技術によるアクティブマトリクス基板の製造方法においては、平坦化層を形成するための 1 工程分だけパターニング工程が多くなる。このため、製造工程が複雑化してコストアップをもたらし、生産性の低下が避けられない。

【 0 0 2 8 】

これは、カラーフィルタオン T F T 技術や凹凸反射板形成技術においても同様であり、それぞれカラーフィルタ層やオーバーコート層形成工程、凹凸層形成工程分だけ、製造工程が複雑化し生産性が低下してしまう。

【 0 0 2 9 】

この発明の目的は、トランジスタ基板に有機膜を設けて性能を高めた液晶表示装置を、より少ない製造工程数により製造することができ、生産性を向上させることができる液晶表示装置用トランジスタ基板及びその製造方法を提供することである。

【 0 0 3 0 】

【課題を解決するための手段】

上記目的を達成するため、この発明に係る液晶表示装置用トランジスタ基板は、透明絶縁性基板の上に、ゲート電極、ゲート絶縁膜、半導体層、ソース電極及びドレイン電極、パッシベーション膜が、記載順に積層され、対向基板との間に液晶層を充填して対向配置された液晶表示装置用トランジスタ基板において、データ配線及びドレイン電極の下の半導体層と、ソース電極の下の半導体層を切り離したことを特徴としている。

【 0 0 3 1 】

上記構成を有することにより、透明絶縁性基板の上に、ゲート電極、ゲート絶縁膜、半導体層、ソース電極及びドレイン電極、パッシベーション膜を積層して形成された液晶表示装置用トランジスタ基板は、データ配線及びドレイン電極の下の半導体層と、ソース電極の下の半導体層が切り離された構造を有することに

なる。これにより、トランジスタ基板に有機膜を設けて性能を高めた液晶表示装置を、より少ない製造工程数により製造することができ、生産性を向上させることができる。

【 0 0 3 2 】

また、この発明に係る液晶表示装置用トランジスタ基板の製造方法により、上記液晶表示装置用トランジスタ基板を実現することができる。

【 0 0 3 3 】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

(第 1 の実施の形態)

図 1 は、この発明の第 1 の実施の形態に係る液晶表示装置の表示パネルの概略平面図である。この液晶表示装置は、XYマトリクスの交点の画素毎に、能動素子としての非晶質シリコン薄膜トランジスタ (a-SiTFT) が設けられたアクティブマトリクス型液晶表示装置である。

【 0 0 3 4 】

図 1 に示すように、表示パネル 10 は、対向配置された一对の透明ガラス基板からなる TFT 基板 11 と対向基板 12 の間隙に、液晶層を充填して形成されている。TFT 基板 11 の対向表面側には、a-SiTFT、画素電極、平坦化層及び各種配線等が設けられ、対向基板 12 の対向表面側には、共通電極、カラーフィルタ層及び遮光幕等が設けられている。

【 0 0 3 5 】

TFT 基板 11 の周縁部には、ゲート端子 13 或いはデータ端子 14 が設けられており、各端子 13、14 は、それぞれ引き出し配線 15 を介して表示用の外部信号処理基板 (図示しない) に接続される。

【 0 0 3 6 】

そして、TFT 基板 11 の画素電極と対向基板 12 の共通電極との間に、画像信号電圧を印加することにより、両電極間の液晶層の電気光学的状態を制御して表示パネル 10 の光透過状態を変化させ、表示部 10a に所定の画像を表示する。

【 0 0 3 7 】

図 2 は、図 1 の T F T 基板の平面図である。図は、単位画素分を示す。図 2 に示すように、 $a-SiTFET$ 16 は、格子状に配置されたゲート配線 17 とデータ配線（ソース配線）18 の交点の画素毎に設けられ、ゲート電極（図示しない）、及びゲート電極の上に半導体層 19 を介して対向配置されたソース電極 20 とドレイン電極 21 を有している。

【 0 0 3 8 】

ドレイン電極 21 は、そのほぼ半分が、ゲート配線 17 に並設されたストレージ配線 22 の上に重なり合うように、L 字状に形成されている。このドレイン電極 21 はコンタクトスルーホール 23 を介して画素電極 24 に、ゲート電極はゲート配線 17 に、ソース電極 20 はデータ配線 18 に、それぞれ接続されている。

【 0 0 3 9 】

$a-SiTFET$ 16 には、ゲート配線 17、ゲート電極を通してスイッチング信号が、データ配線 18、ドレイン電極 21 を通して映像信号が、それぞれ入力され、画素電極 24 への書き込みが行われる。

【 0 0 4 0 】

図 3 は、図 2 の各部断面構造を示し、(a) は A-A 線に沿う断面図、(b) は B-B 線に沿う断面図、(c) は C-C 線に沿う断面図、(d) は D-D 線に沿う断面図である。

【 0 0 4 1 】

図 3 (a) に示すように、 $a-SiTFET$ 16 の透明絶縁性基板 25 の上には、ゲート電極 26 が形成され、このゲート電極 26 を覆ってゲート絶縁膜 27 が、更にゲート絶縁膜 27 の上に半導体層 19 が形成されている。

【 0 0 4 2 】

半導体層 19 の上には、半導体層 19 の中央部上方に設けた $a-SiTFET$ 16 のバックチャネルで隔てられた、ソース電極 20 とドレイン電極 21 が形成されている。ソース電極 20 とドレイン電極 21 は、オーミックコンタクト層（図示しない）を介して半導体層 19 に接続される。オーミックコンタクト層は、ソ

ース電極 2 0 とドレイン電極 2 1 間がエッチング除去され、ソース電極 2 0 及びドレイン電極 2 1 と半導体層 1 9 の間にのみ形成される。

【 0 0 4 3 】

これらソース電極 2 0、ドレイン電極 2 1 及び半導体層 1 9 は、パッシベーション膜 2 8 に覆われ、このパッシベーション膜 2 8 の上には、厚膜の有機膜からなる平坦化層 2 9 が形成される。平坦化層 2 9 の上には、ドレイン電極 2 1 の上方に位置して、画素電極 2 4 となる透明導電膜が形成されている。

【 0 0 4 4 】

透明絶縁性基板 2 5 上の画素電極 2 4 迄の積層構造により T F T 基板 1 1 が形成され、この T F T 基板 1 1 との間に液晶層 3 0 を介して、液晶層 3 0 に向かう透明絶縁性基板 3 1 の下に遮光層 3 2 と共通電極 3 3 が記載順に積層された対向基板 1 2 が形成される。

【 0 0 4 5 】

図 3 (b) に示すように、 a - S i T F T 1 6 の半導体層 1 9、ドレイン電極 2 1 及びパッシベーション膜 2 8 は、ストレージ (保持容量) 電極 3 4 の上まで延ばされている。ストレージ電極 3 4 は、透明絶縁性基板 2 5 の上に形成されゲート絶縁膜 2 7 に覆われている。

【 0 0 4 6 】

ストレージ電極 3 4 上方の、 a - S i T F T 1 6 に続くパッシベーション膜 2 8 及び平坦化層 2 9 には、これらを貫くコンタクトスルーホール 2 3、3 5 が開けられている。このコンタクトスルーホール 2 3、3 5 を介して、画素電極 2 4 とドレイン電極 2 1 が接続される。

【 0 0 4 7 】

また、対向基板 1 2 の遮光層 3 2 は、ストレージ電極 3 4 上方手前でカラーフィルタ層 3 6 に接しており、ストレージ電極 3 4 上方の対向基板 1 2 は、透明絶縁性基板 3 1 の下にカラーフィルタ層 3 6 と共通電極 3 3 が記載順に積層された構造を有している。

【 0 0 4 8 】

即ち、半導体層 1 9 及びパッシベーション膜 2 8 は、ソース電極 2 0 及びドレ

イン電極 2 1 を内包するように、ソース電極 2 0 及びドレイン電極 2 1 の外側に位置している。また、パッシベーション膜 2 8、半導体層 1 9、ゲート絶縁膜 2 7 による積層構造を、上向きのテーパ状に形成している。

【 0 0 4 9 】

a-SiTFT 1 6 には、ゲート配線 1 7、ゲート電極 2 6 を通してスイッチング信号が、データ配線 1 8、ドレイン電極 2 1 を通して映像信号が、それぞれ入力され、画素電極 2 4 への書き込みが行われる。

【 0 0 5 0 】

図 3 (c) に示すように、データ配線 1 8 は、透明絶縁性基板 2 5 上に、ゲート絶縁膜 2 7、半導体層 1 9、データ配線 1 8、パッシベーション膜 2 8 の順に積層されて形成され、更に、平坦化層 2 9 に覆われている。図 3 (d) に示すように、ゲート配線 1 7 は、透明絶縁性基板 2 5 上に形成され、平坦化層 2 9 に覆われている。

【 0 0 5 1 】

図 4 は、図 1 の引き出し配線及び端子部の各断面構造を示し、(a) は引き出し配線の断面図、(b) は端子部の断面図である。図 4 (a) に示すように、引き出し配線 1 5 は、透明絶縁性基板 2 5 上に、ゲート側の引き出し配線 1 5 a、ゲート絶縁膜 2 7、半導体層 1 9、パッシベーション膜 2 8 の順に積層されて形成され、また、透明絶縁性基板 2 5 上に、ゲート絶縁膜 2 7、半導体層 1 9、データ側の引き出し配線 1 5 b、パッシベーション膜 2 8 の順に積層されて形成される。

【 0 0 5 2 】

図 4 (b) に示すように、端子部は、透明絶縁性基板 2 5 上に、ゲート端子 1 3 が形成され、また、透明絶縁性基板 2 5 上に、ゲート絶縁膜 2 7、半導体層 1 9、データ端子 1 4、データ端子 1 4 を一部露出させたパッシベーション膜 2 8 の順に積層されて形成される。

【 0 0 5 3 】

図 5 は、図 1 の TFT 基板の製造方法を薄膜トランジスタ部について示す工程図である。図 5 に示すように、まず、ガラス等の透明絶縁性基板 2 5 上に、スパ

ッタリング装置により、例えばアルミニウム (Al)、モリブデン (Mo)、クロム (Cr) 等からなる導電層を、約 100~400 nm の厚さで堆積する。

【0054】

その後、フォトリソグラフィ工程により、ゲート配線 (図示しない)、ゲート電極 26 及びゲート端子 13 を形成する、第 1 のパターニングを行う ((a) 参照)。

【0055】

次に、シリコン窒化膜等からなるゲート絶縁膜 27、アモルファスシリコンからなる半導体層 19、及び n^+ アモルファスシリコンからなるオーミックコンタクト層 (図示しない) を、プラズマ CVD によって、それぞれ約 400 nm、約 300 nm、約 50 nm 程度の厚さで連続的に積層する。積層後、更に、これらを覆うように、スパッタリング装置によって、Mo, Cr 等からなる導電層を約 100~200 nm の厚さで堆積する。

【0056】

堆積後、フォトリソグラフィ工程により、ソース電極 20、ソース配線 18、ドレイン電極 21、及びデータ端子部 (図 4 (b) 参照) を形成する第 2 のパターニングを行う。

【0057】

この第 2 のパターニングと共に、a-Si TFT 16 のチャネル部となるソース電極 20 とドレイン電極 21 の下部以外の、不要なオーミックコンタクト層を除去する ((b) 参照)。

【0058】

次に、a-Si TFT 16 のバックチャネル、ソース電極 20、ソース配線 (データ配線) 18、ドレイン電極 21、及びデータ端子 14 を覆うように、プラズマ CVD により、シリコン窒化膜等の無機膜からなるパッシベーション膜 28 を、約 100~200 nm 程度の厚さで成膜する。

【0059】

成膜後、ドレイン電極 21 と画素電極 24 とのコンタクトをとるためのコンタクトスルーホール 23 を形成し、データ端子 14 上の不要なパッシベーション膜

28と、ゲート端子13上の不要なゲート絶縁膜27及びパッシベーション膜28を除去する。

【0060】

その後、レジストを剥離することなく同一のマスクを用いて、データ配線18・ドレイン電極21の下の半導体層19とソース電極20の下の半導体層19を切り離すための不要な半導体層19や、ゲート配線17上の不要な半導体層19を除去する。

【0061】

このように、パッシベーション膜28のパターニングと半導体層19のパターニングを同一工程で行う、第3のパターニングを行う（（c）参照）。

【0062】

ここで、パッシベーション膜28と半導体層19のエッチングは、例えば、パフアードフッ酸（BHF）を用いて、パッシベーション膜28をウェットエッチングによりオーバーエッチング気味に行い、レジストから後退させた後、反応性のドライエッチング（RIE）により半導体層19・ゲート絶縁膜27層のエッチングを行う。これにより、良好なテーパ形状を得ることができる。

【0063】

また、エッチング条件を調節してドライエッチングを行うことにより、パッシベーション膜28、半導体膜28及びゲート絶縁膜27を一括してエッチングしてもよい。

【0064】

次に、オーバーコート層を形成する。具体的には、アクリル樹脂等からなる透明な感光性レジストをスピコート法で塗布した後、フォトリソグラフィ工程によりオーバーコート層（平坦化層）29にコンタクトスルーホール35を開口する、第4のパターニングを行う（（d）参照）。

【0065】

最後に、オーバーコート層29の上に画素電極24となる透明導電膜をスパッタリング装置で成膜し、第5のパターニングを行う（（e）参照）。

【0066】

このとき、第1のパターニング工程で、ゲート側の引き出し配線15a及びゲート端子13を形成し、第2のパターニング工程で、ゲート側の引き出し配線15aを覆うゲート絶縁膜27、半導体層19、データ側の引き出し配線15b及びデータ端子14を形成し、第3のパターニング工程で、半導体層19、データ側の引き出し配線15b、及び一部露出させてデータ端子14を覆うパッシベーション膜28を形成する。

【0067】

上述したように、第1の実施の形態においては、パッシベーション膜28の形成と半導体層19の形成を、同一のパターニング工程で行ったことにより、従来の有機層間分離型のアクティブマトリクス基板の製造方法に比べ、パターニング工程を1工程削減することができる。

【0068】

これにより、製造工程を簡略化することができ、低コスト・高スループットで表示性能のよい、アクティブマトリクス型液晶表示装置を製造することができる。

【0069】

また、前述の通り、平坦化層29を兼ねるオーバーコート膜が、一括ドライエッチングにより成膜されることで、データ配線18やa-SiTFT16の段差を被覆できると同時に、ゲート配線17を直接保護することができる。また、オーバーコート膜なしでは、半導体層19の側面が剥き出しとなるためサイドリーク等が懸念されるのに対し、オーバーコート膜を設けたことにより、半導体層19の側面を保護することができる。

【0070】

更に、一括ドライエッチングにより、パッシベーション膜28・半導体層19・ゲート絶縁膜27が良好なエッチング形状とならなかった場合にも、オーバーコート膜がそれらを平坦化してしまうため、喩えエッチング形状が劣化したとしても製造不良となることが少ない。

【0071】

この第1の実施の形態では、オーバーコート膜として感光性のアクリル膜を用

いたが、非感光性のアクリルを用い、パターニングをエッチングにより行ってもよい。

【 0 0 7 2 】

また、半導体層 1 9 のサイドリークを抑制するために、オーバーコート膜として、感光性や非感光性のポリシラザン、シロキサン、ベンゾシクロブテン (B C B) 等の S i 系の有機膜を用いてもよい。

(第 2 の実施の形態)

図 6 は、この発明の第 2 の実施の形態に係る液晶表示装置の T F T 基板の平面図である。図は、単位画素分を示す。この液晶表示装置は、反射型のアクティブマトリクス型液晶表示装置である。

【 0 0 7 3 】

図 6 に示すように、能動素子としての a - S i T F T 1 6 は、ゲート配線 1 7 とデータ配線 1 8 に囲まれた空間に合わせて、ほぼ矩形状に形成されたドレイン電極 3 7 を有している。このドレイン電極 3 7 は、コンタクトスルーホール 2 3 , 3 5 を介して、後述する反射電極 4 1 に接続される。また、半導体層 1 9 は、ドレイン電極 3 7 に対応して形成されている。その他の構成及び作用は、図 2 に示す T F T 基板と同様である。

【 0 0 7 4 】

図 7 は、図 6 の各部断面構造を示し、(a) は A - A 線に沿う断面図、(b) は B - B 線に沿う断面図である。図 7 に示すように、a - S i T F T 1 6 の透明絶縁性基板 2 5 の上には、ゲート電極 2 6 が形成され、このゲート電極 2 6 を覆ってゲート絶縁膜 2 7 が、更にゲート絶縁膜 2 7 の上に半導体層 1 9 が形成されている。

【 0 0 7 5 】

半導体層 1 9 の上には、半導体層 1 9 の中央部上方に設けた a - S i T F T 1 6 のバックチャネルで隔てられた、ソース電極 2 0 とドレイン電極 3 7 が形成されている ((a) 参照) 。ソース電極 2 0 とドレイン電極 3 7 は、オーミックコンタクト層 (図示しない) を介して半導体層 1 9 に接続される。オーミックコンタクト層は、ソース電極 2 0 とドレイン電極 3 7 間がエッチング除去され、ソー

ス電極 2 0 及びドレイン電極 3 7 と半導体層 1 9 の間にのみ形成される。

【 0 0 7 6 】

これらソース電極 2 0、ドレイン電極 3 7 及び半導体層 1 9 は、パッシベーション膜 2 8 に覆われており、このパッシベーション膜 2 8 を覆って、厚膜の凹凸層 3 9 が形成されている。この凹凸層 3 9 は、パッシベーション膜 2 8 の上に突設された複数のベース柱 4 0 をベースにして形成される（（b）参照）。

【 0 0 7 7 】

更に、凹凸層 3 9 の上には、反射電極 4 1 となる反射膜が形成されており、この反射電極 4 1 は、凹凸層 3 9 を貫くコンタクトスルーホール 3 5、及びパッシベーション膜 2 8 を貫くコンタクトスルーホール 2 3 を介して、ドレイン電極 3 7 に接続されている（（b）参照）。

【 0 0 7 8 】

この a - S i T F T 1 6 には、ゲート配線 1 7、ゲート電極 2 5 を通してスイッチング信号が、データ配線 1 8、ドレイン電極 3 7 を通して映像信号が、それぞれ入力され、反射電極 4 1 への書き込みが行われる。

【 0 0 7 9 】

図 8 は、図 6 の T F T 基板の製造方法を薄膜トランジスタ部について示す工程図である。ここで、パッシベーション膜 2 8 を形成する工程（（a）～（c）参照）までは、第 1 の実施の形態と同様なので、説明を省略する。

【 0 0 8 0 】

第 3 のパターニングにより、パッシベーション膜 2 8 を成膜した後、パッシベーション膜 2 8 の上にベース柱 4 0 を形成し、凹凸層 3 9 を形成する。凹凸層 3 9 は、ベースとなるアクリル樹脂等からなる透明な感光性レジストを、スピコート法で塗布・露光・現像・焼成により形成する。

【 0 0 8 1 】

感光性レジスト形成後、それらを覆うように、ベースの凹凸層 3 9 より薄い膜からなる感光性のオーバーコート膜を塗布し、フォトリソグラフィ工程によりコンタクトスルーホール 3 5 を開口する。

【 0 0 8 2 】

このような2層プロセスを経て、凹凸層39を形成するための第4のパターニングを行う((d)参照)。

【0083】

また、凹凸層39を形成するための第4のパターニングは、凹凸層39とコンタクトスルーホール35を、グレイトーンマスク等を用いて、凹凸層39の感光量とコンタクトスルーホール35の露光量を変えることにより形成する、1層プロセスで行ってもよい。

【0084】

最後に、凹凸層39の上に、反射電極41となる反射膜を、アルミニウム(A1)や銀(Ag)等をスパッタリング装置で成膜する、第5のパターニングを行う((e)参照)。

(第3の実施の形態)

図9は、この発明の第3の実施の形態に係る液晶表示装置のTFT基板の平面図である。図は、単位画素分を示す。この液晶表示装置は、反射型のアクティブマトリクス型液晶表示装置である。

【0085】

図9に示すように、能動素子としてのa-SiTFT16は、そのほぼ半分が、ゲート配線17に並設されたストレージ配線22の上に重なり合うように、L字状に形成されたドレイン電極21を有している。また、凹凸層39のベースとなる角柱状の複数のベース柱42が設けられている。その他の構成及び作用は、図6に示すTFT基板と同様である。

【0086】

図10は、図9の各部断面構造を示し、(a)はA-A線に沿う断面図、(b)はB-B線に沿う断面図である。図10に示すように、コンタクトスルーホール23、35は、ストレージ電極34の上に設けられている。

【0087】

透明絶縁性基板25の上には、パッシベーション膜28の上に突設されたベース柱40の代わりに、ゲート絶縁膜27、半導体層19、パッシベーション膜28が記載順に積層されて形成された、角柱状のベース柱42が突設されている(

(b) 参照)。

【0088】

このベース柱42の上には、オーバーコート層が設けられ、a-SiTFT16等の段差を被覆すると共に、ベース柱42をベースとして凹凸層39が形成される((a), (b) 参照)。更に、凹凸層39の上には、反射電極41となる反射膜が、凹凸層39を貫くコンタクトスルーホール35、及びパッシベーション膜28を貫くコンタクトスルーホール23を介して、ドレイン電極21に接続されている((b) 参照)。その他の構成は、図7に示す各部断面構造と同様である。

【0089】

図11は、図9のTFT基板の製造方法を薄膜トランジスタ部について示す工程図である。

【0090】

ここで、第3のパターニング((c) 参照)におけるa-SiTFT16の形成時に、ゲート絶縁膜27、半導体層19及びパッシベーション膜28からなる積層構造を有するベース柱42を形成し、第4のパターニング((d) 参照)において、このベース柱42をベースにする凹凸層39を形成する他は、図8に示す製造工程と同様なので、説明を省略する。

【0091】

この第3の実施の形態に示す製造方法の場合、第2の実施の形態に示す製造方法よりも、更にプロセス数を削減することができる。

(第4の実施の形態)

図12は、この発明の第4の実施の形態に係る液晶表示装置のTFT基板の平面図である。図は、単位画素分を示す。この液晶表示装置は、カラーフィルタオンTFT(COT)型のアクティブマトリクス型液晶表示装置である。

【0092】

図12に示すように、能動素子としてのa-SiTFT16は、そのほぼ半分が、ゲート配線17に並設されたストレージ配線22の上に重なり合うように、L字状に形成されたドレイン電極21を有しており、図2に示すTFT基板と同

様である。

【0093】

図13は、図12の各部断面構造を示し、(a)はA-A線に沿う断面図、(b)はB-B線に沿う断面図である。図13に示すように、TFT基板11と対向基板12は、対向配置された一对の透明ガラス基板からなり、両基板11、12の間隙には、液晶層30が充填されている。

【0094】

TFT基板11の透明ガラス基板(透明絶縁性基板25)の対向表面側には、a-SiTFT16、画素電極24、遮光層32、カラーフィルタ層36、オーバーコート層(平坦化層)43、及び各種配線(図示しない)等が設けられ、対向基板12の透明ガラス基板(透明絶縁性基板31)の対向表面側には、共通電極33が設けられている。

【0095】

即ち、遮光層32及びカラーフィルタ層36は、対向基板12ではなくTFT基板11に形成されている。その他の構成及び作用は、図3に示す第1の実施の形態と同様である。

【0096】

パッシベーション膜28の上には、遮光層32とカラーフィルタ層36の一部が形成され、更に、遮光層32及びカラーフィルタ層36を保護するためのオーバーコート層43が形成されている。このオーバーコート層43の上には、画素電極24となる透明導電膜が形成され、画素電極24は、オーバーコート層43を貫くコンタクトスルーホール35、及びパッシベーション膜28を貫くコンタクトスルーホール23を介して、ドレイン電極21に接続されている。

【0097】

この画素電極24と共通電極33との間に画像信号電圧を印加して、両電極24、33間の液晶層30の電気光学的状態を制御することにより、表示パネル10の光透過状態を変化させ、表示部10aに所定の画像を表示する。

【0098】

第4の実施の形態に係るアクティブマトリクス基板の製造方法については、遮

光層 3 2 やカラーフィルタ層 3 6 を、通常のフォトリソグラフィ工程により T F T 基板 1 1 にパターニング形成する他は、第 1 の実施の形態と同様であるため、説明を省略する。

【 0 0 9 9 】

上述したように、この発明に係るアクティブマトリクス型液晶表示装置の製造方法においては、半導体層 1 9 のパターニングを、ソース電極 2 0 形成後のパッシベーション膜 2 8 のパターニングと同時に行うため、データ配線 1 9 、ドレイン電極 2 1 ・ソース電極 2 0 の下に半導体層 1 9 が位置する構成となる。

【 0 1 0 0 】

ここで、a - S i T F T 部、即ち、半導体層 1 9 の下にゲート電極 2 6 がある領域以外は、半導体層 1 9 がフローティング状態となり制御できないので、半導体層 1 9 のリークが問題となる。そのため、データ配線 1 9 ・ドレイン電極 2 1 とソース電極 2 0 が、ゲート電極 2 6 のない領域で繋がっている構成では、半導体層 1 9 のリークにより、画素電極 2 4 に保持されている電荷が逃げてしまうために好ましくない。

【 0 1 0 1 】

そこで、ゲート電極 2 6 がない領域では、データ配線 1 9 ・ドレイン電極 2 1 の下の半導体層 1 9 とソース電極 2 0 の下の半導体層 1 9 は、切り離すようパッシベーション膜 2 8 のパターニングを行う。

【 0 1 0 2 】

また、ゲート配線 1 7 とデータ配線 1 9 のショートを防ぐために、データ配線、ドレイン・ソース電極パターンよりも半導体パターンの方を大きくしている。

【 0 1 0 3 】

また、ゲート配線 1 7 の上 (a - S i T F T 部以外) のゲート絶縁膜 2 7 ・半導体層 1 9 ・パッシベーション膜 2 8 は、全て除去され、除去後は、オーバーコート層により被覆され保護されている。このオーバーコート層は、T F T 基板の段差を被覆し平坦化する機能を有すると共に、ゲート配線 1 7 を保護し半導体層 1 9 の端部を保護して、a - S i T F T 1 6 のサイドリークを抑制する機能も有する。

【0104】

このように、この発明によれば、透明絶縁性基板上にゲート電極を形成した後、ゲート絶縁膜、更に半導体層を全面に形成し、その上にドレイン電極をパターニングして、その上にパッシベーション膜を形成し、その後、トランジスタ領域の分離とコンタクトスルーホールを同時に形成する。

【0105】

つまり、パッシベーション膜、アイランド及びコンタクトを形成するフォトリソグラフィ工程を一つの工程に統合したことにより、平坦化層形成工程、或いはカラーフィルタ層やオーバーコート層形成工程を削減することができるため、製造工程が複雑化せず生産性の低下をもたらさない。

【0106】

よって、アクティブマトリクス基板に有機膜を設けることによって液晶表示装置の性能を高めることができる、有機層間分離型やカラーフィルタオンTFT（COT）型或いは反射型のアクティブマトリクス型液晶表示装置を、低コスト・高スループットで作成することができる。

【0107】

【発明の効果】

以上説明したように、この発明によれば、透明絶縁性基板の上に、ゲート電極、ゲート絶縁膜、半導体層、ソース電極及びドレイン電極、パッシベーション膜を積層して形成された液晶表示装置用トランジスタ基板は、データ配線及びドレイン電極の下の半導体層と、ソース電極の下の半導体層が切り離された構造を有することになるので、トランジスタ基板に有機膜を設けて性能を高めた液晶表示装置を、より少ない製造工程数により製造することができ、生産性を向上させることができる。

【0108】

また、この発明に係る液晶表示装置用トランジスタ基板の製造方法により、上記液晶表示装置用トランジスタ基板を実現することができる。

【図面の簡単な説明】

【図1】

この発明の第 1 の実施の形態に係る液晶表示装置の表示パネルの概略平面図である。

【図 2】

図 1 の T F T 基板の平面図である。

【図 3】

図 2 の各部断面構造を示し、(a) は A - A 線に沿う断面図、(b) は B - B 線に沿う断面図、(c) は C - C 線に沿う断面図、(d) は D - D 線に沿う断面図である。

【図 4】

図 1 の引き出し配線及び端子部の各断面構造を示し、(a) は引き出し配線の断面図、(b) は端子部の断面図である。

【図 5】

図 1 の T F T 基板の製造方法を薄膜トランジスタ部について示す工程図である。

【図 6】

この発明の第 2 の実施の形態に係る液晶表示装置の T F T 基板の平面図である。

【図 7】

図 6 の各部断面構造を示し、(a) は A - A 線に沿う断面図、(b) は B - B 線に沿う断面図である。

【図 8】

図 6 の T F T 基板の製造方法を薄膜トランジスタ部について示す工程図である。

【図 9】

この発明の第 3 の実施の形態に係る液晶表示装置の T F T 基板の平面図である。

【図 1 0】

図 9 の各部断面構造を示し、(a) は A - A 線に沿う断面図、(b) は B - B 線に沿う断面図である。

【図 1 1】

図 9 の T F T 基板の製造方法を薄膜トランジスタ部について示す工程図である。

【図 1 2】

この発明の第 4 の実施の形態に係る液晶表示装置の T F T 基板の平面図である。

【図 1 3】

図 1 2 の各部断面構造を示し、(a) は A - A 線に沿う断面図、(b) は B - B 線に沿う断面図である。

【図 1 4】

従来のアクティブマトリクス型液晶表示装置用トランジスタ基板の平面図である。

【図 1 5】

図 1 4 の薄膜トランジスタ部の断面図である。

【図 1 6】

図 1 4 の端子部を示し、(a) はゲート端子部の断面図、(b) はデータ端子部の断面図である。

【図 1 7】

図 1 4 のトランジスタ基板の製造方法を薄膜トランジスタ部について示す工程図である。

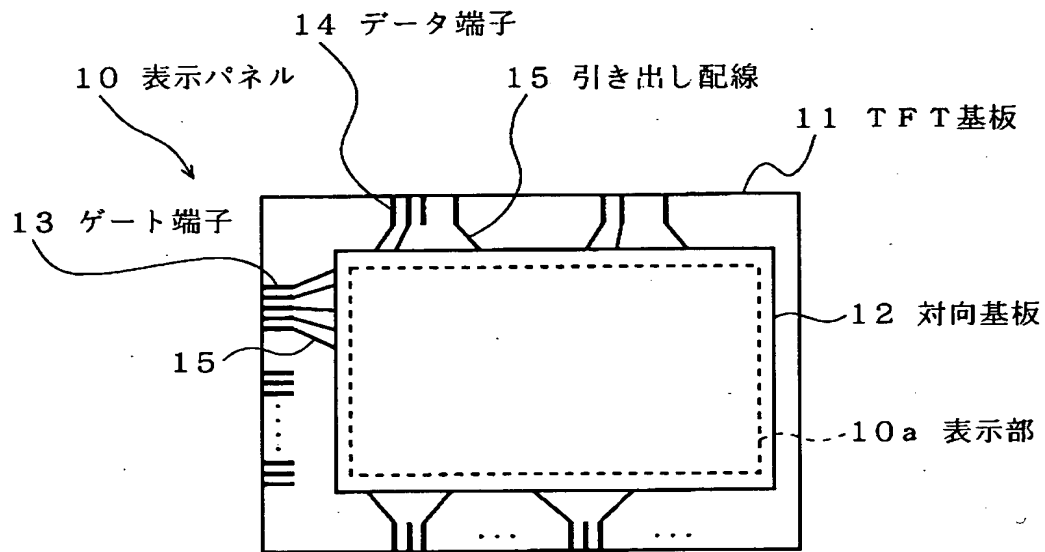
【符号の説明】

- 1 0 表示パネル
- 1 0 a 表示部
- 1 1 T F T 基板
- 1 2 対向基板
- 1 3 ゲート端子
- 1 4 データ端子
- 1 5 引き出し配線
- 1 5 a ゲート側の引き出し配線

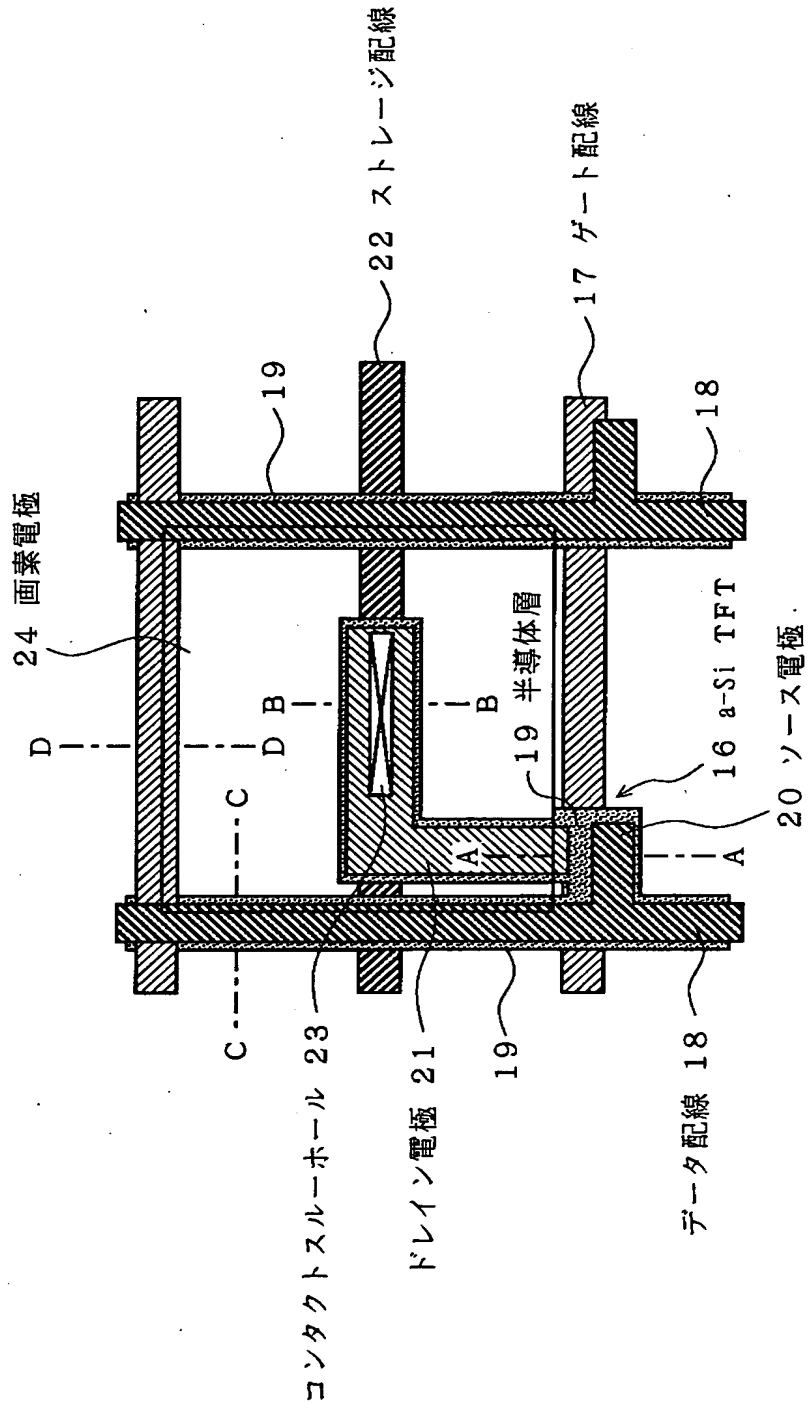
- 1 5 b データ側の引き出し配線
- 1 6 a-Si TFT
- 1 7 ゲート配線
- 1 8 データ配線
- 1 9 半導体層
- 2 0 ソース電極
- 2 1, 3 7 ドレイン電極
- 2 2 ストレージ配線
- 2 3, 3 5 コンタクトスルーホール
- 2 4 画素電極
- 2 5, 3 1 透明絶縁性基板
- 2 6 ゲート電極
- 2 7 ゲート絶縁膜
- 2 8 パッシベーション膜
- 2 9 平坦化層
- 3 0 液晶層
- 3 2 遮光層
- 3 3 共通電極
- 3 4 ストレージ電極
- 3 6 カラーフィルタ層
- 3 9 凹凸層
- 4 0, 4 2 ベース柱
- 4 1 反射電極
- 4 3 オーバーコート層

【書類名】 図面

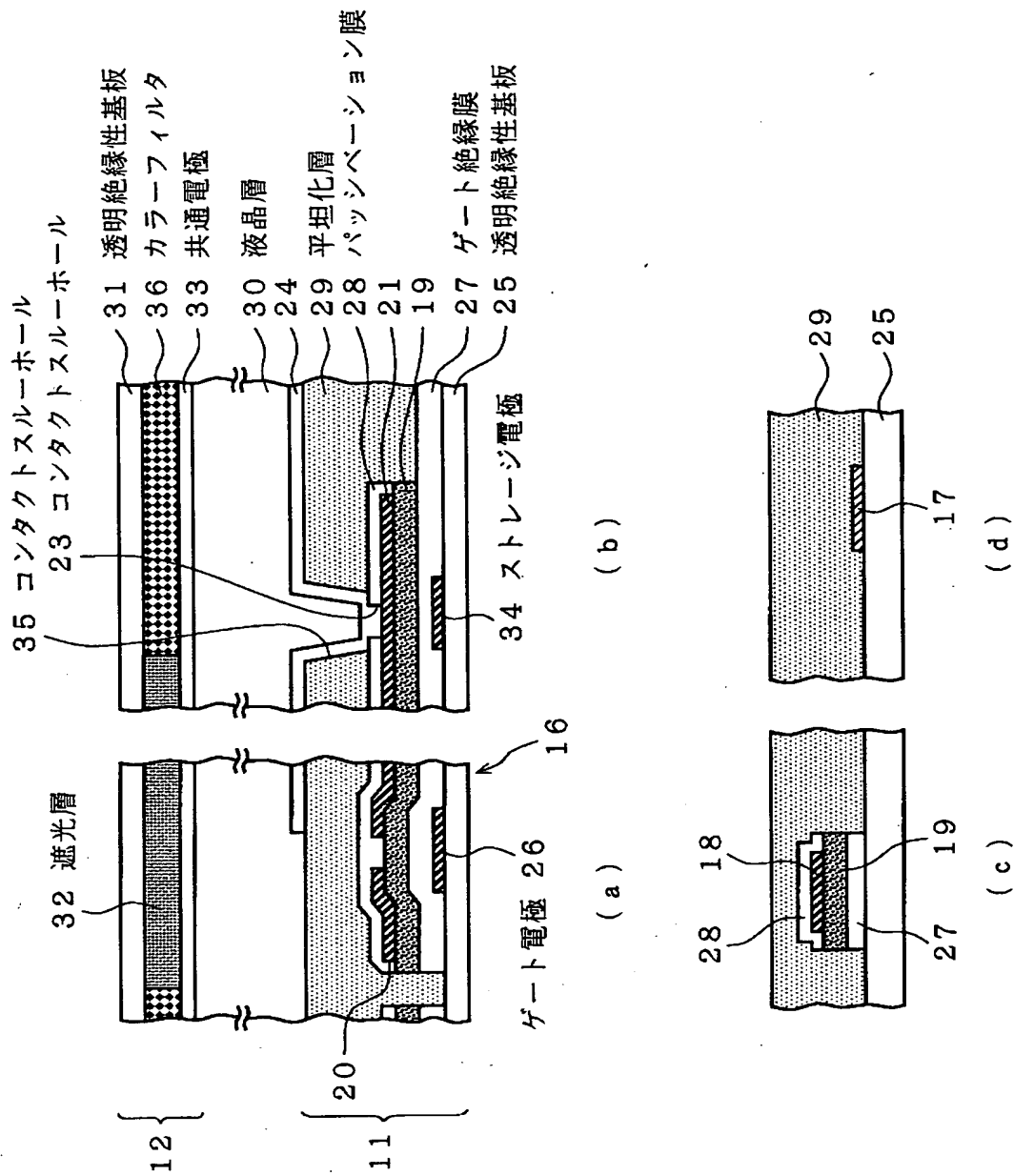
【図 1】



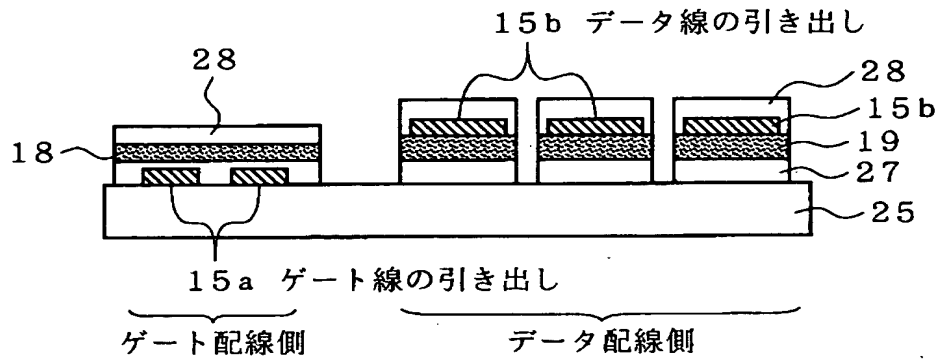
【図 2】



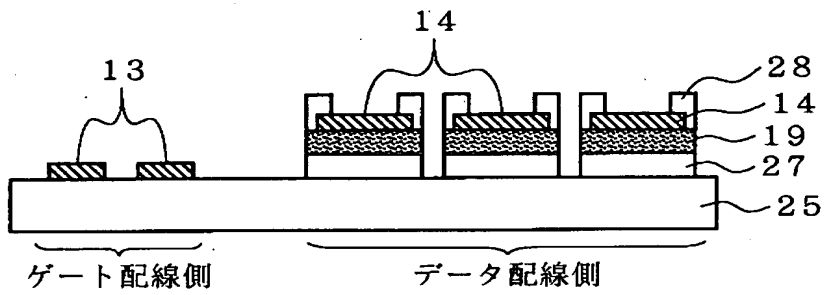
【図 3】



【図 4】

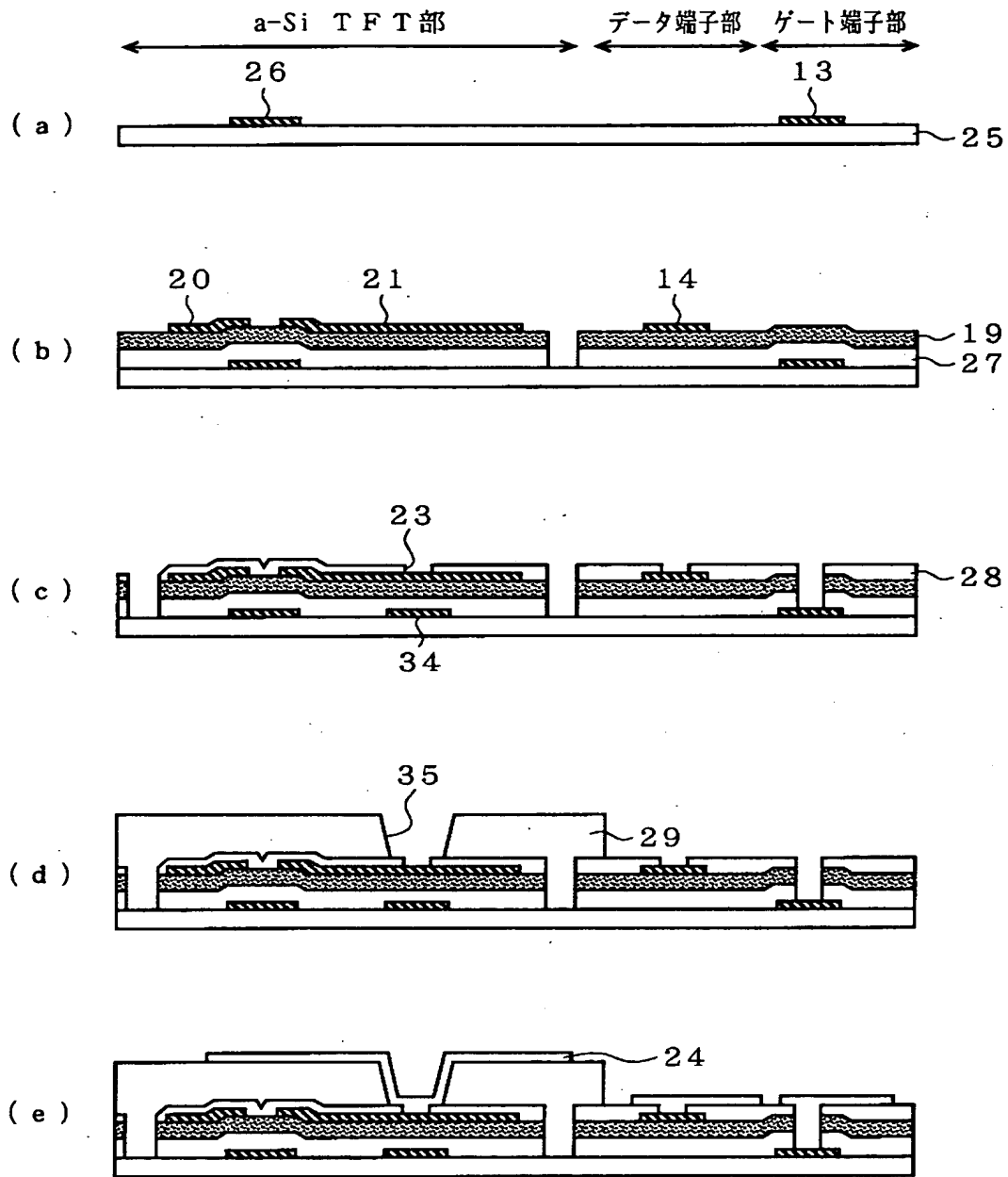


(a)

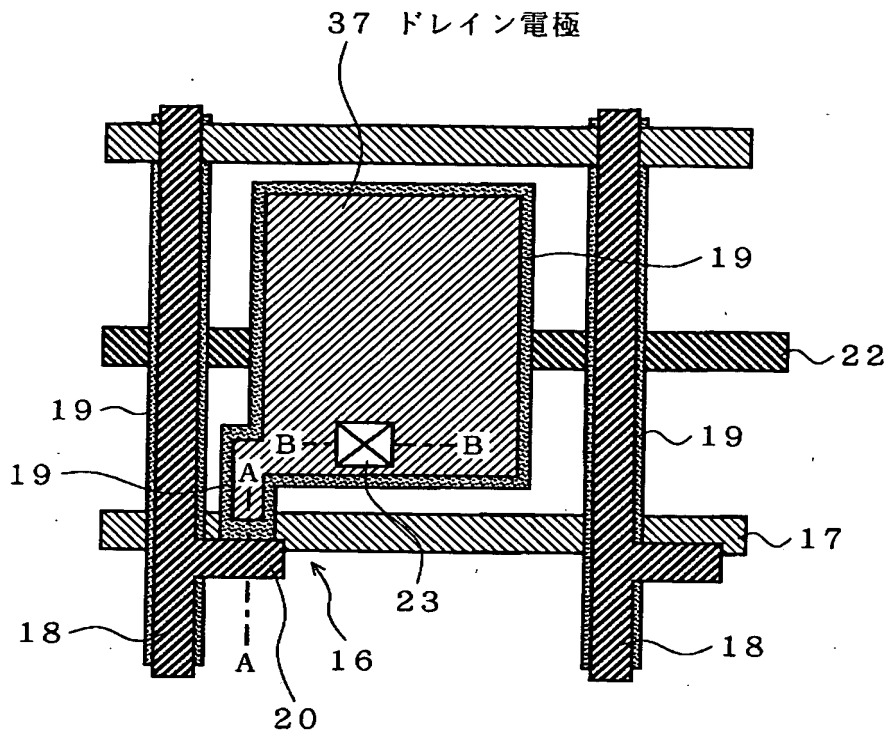


(b)

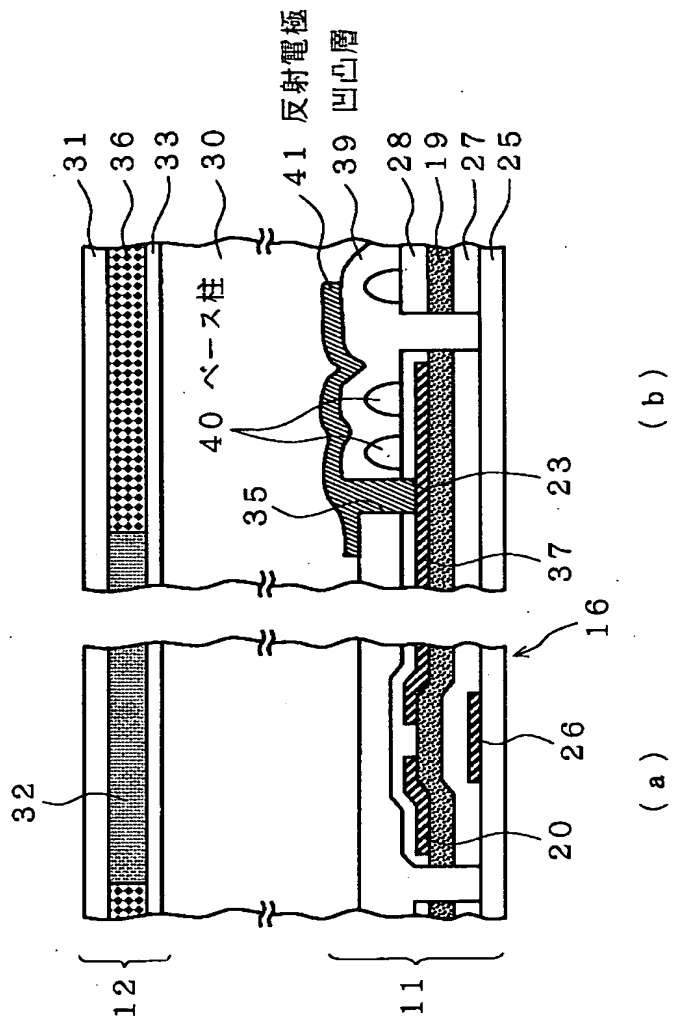
【図 5】



【図 6】



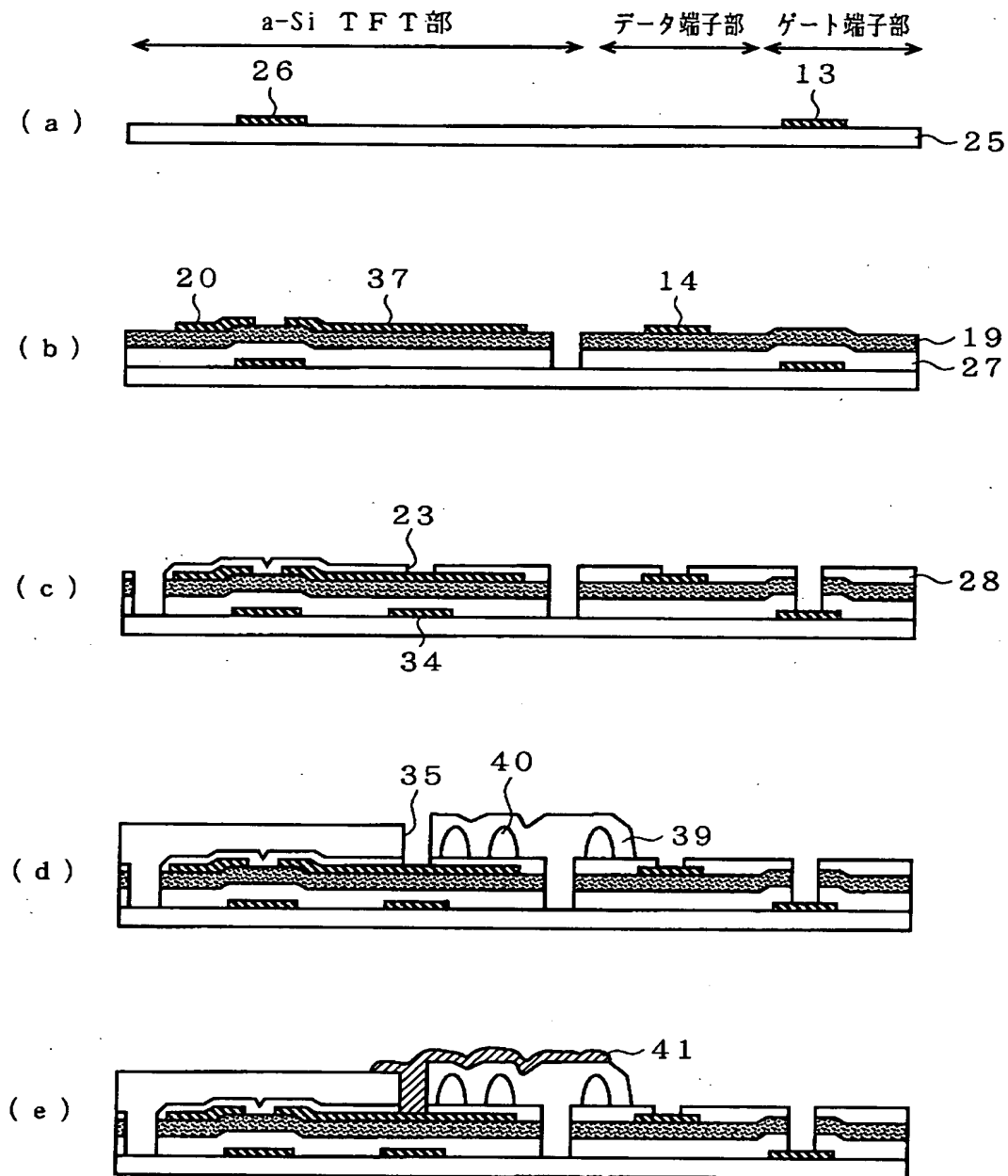
【図 7】



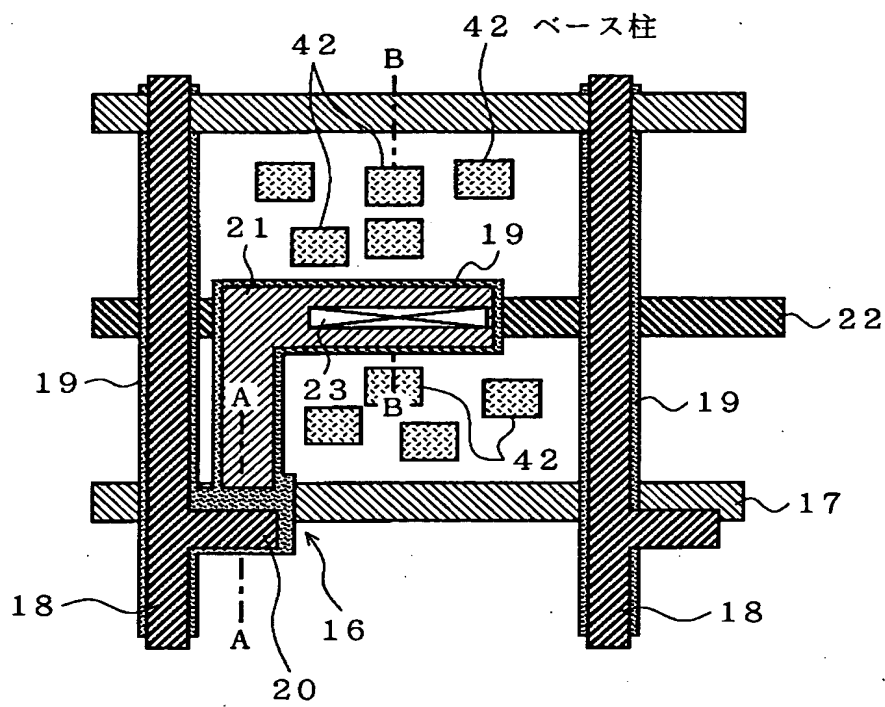
(b)

(a)

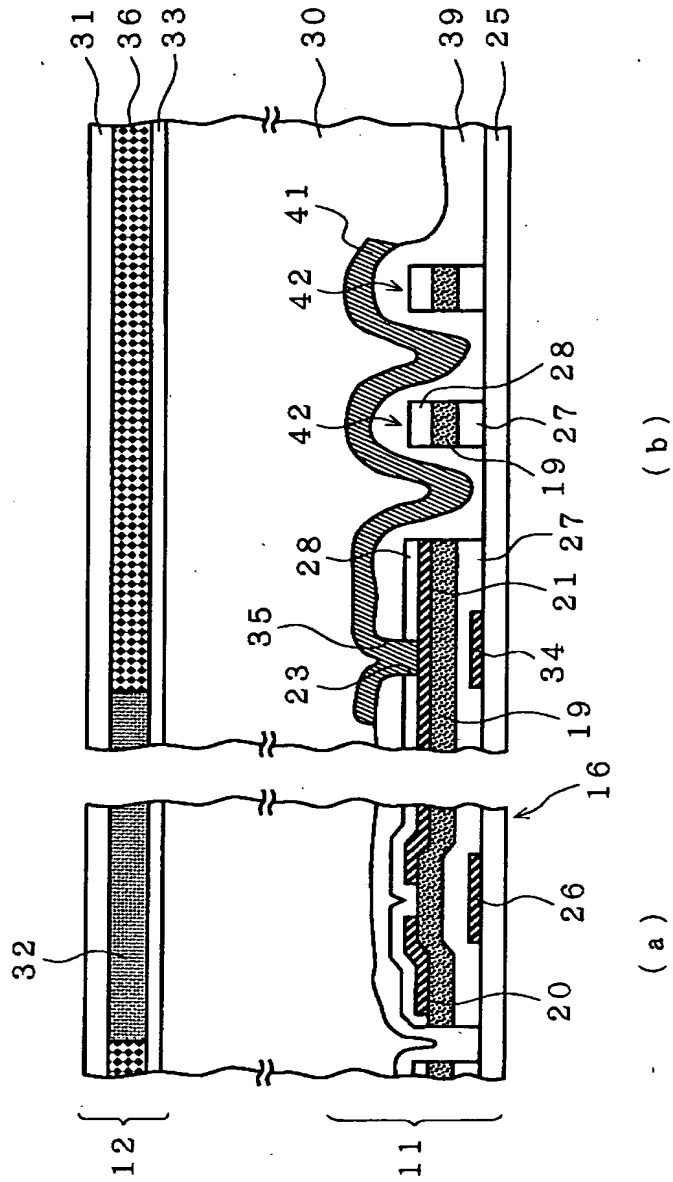
【図 8】



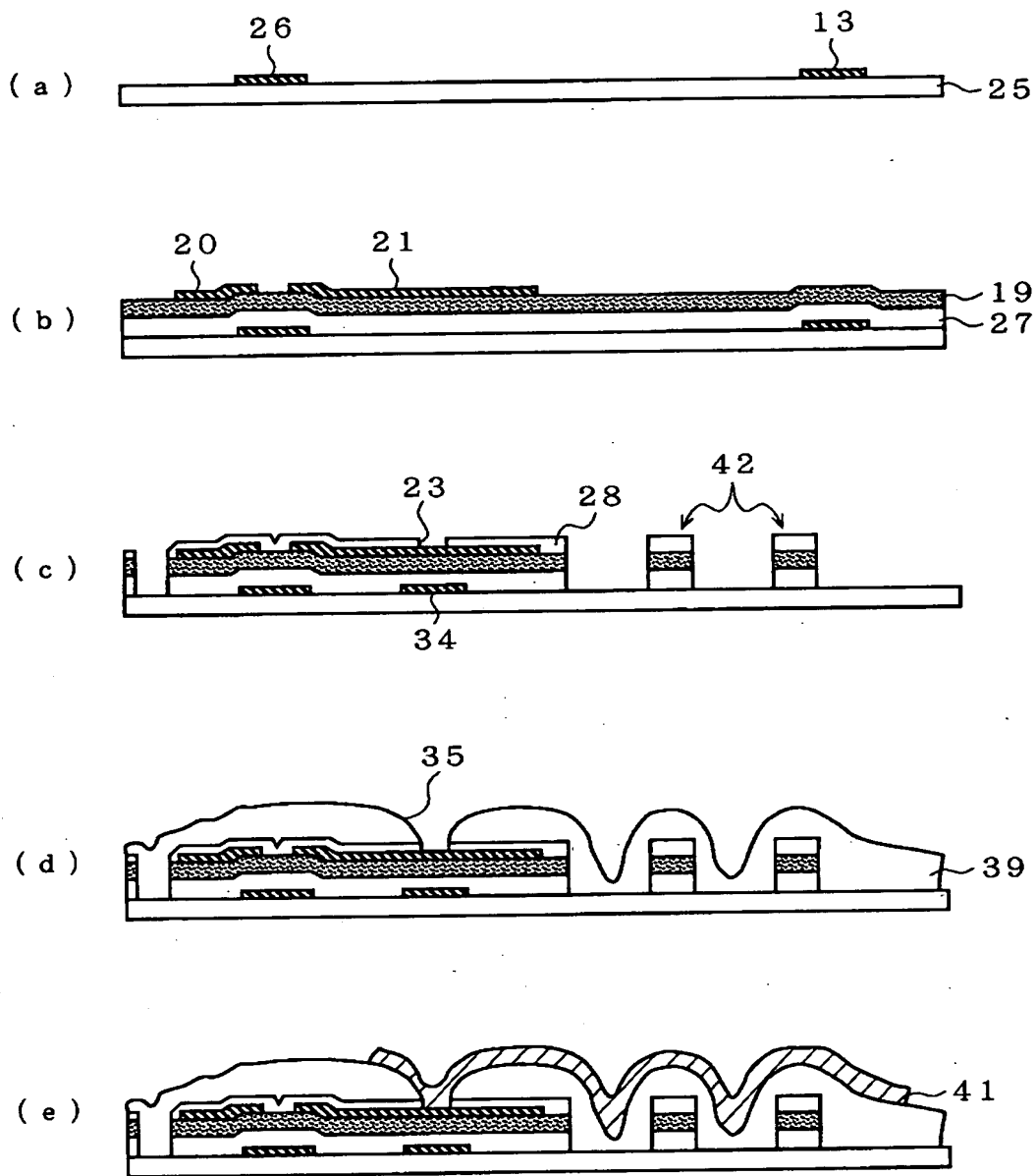
【図 9】



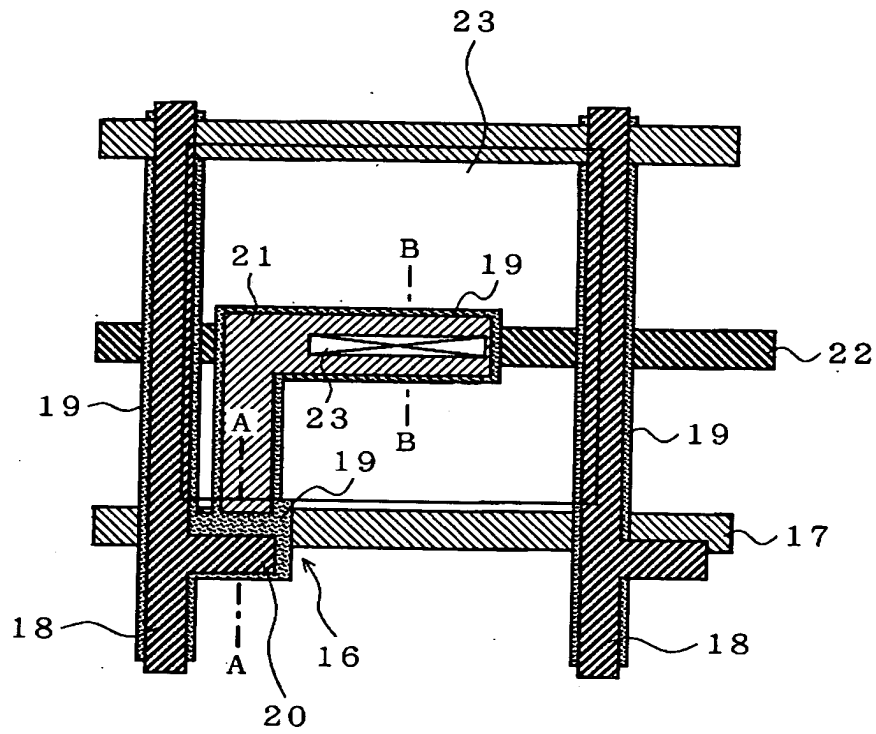
【図10】



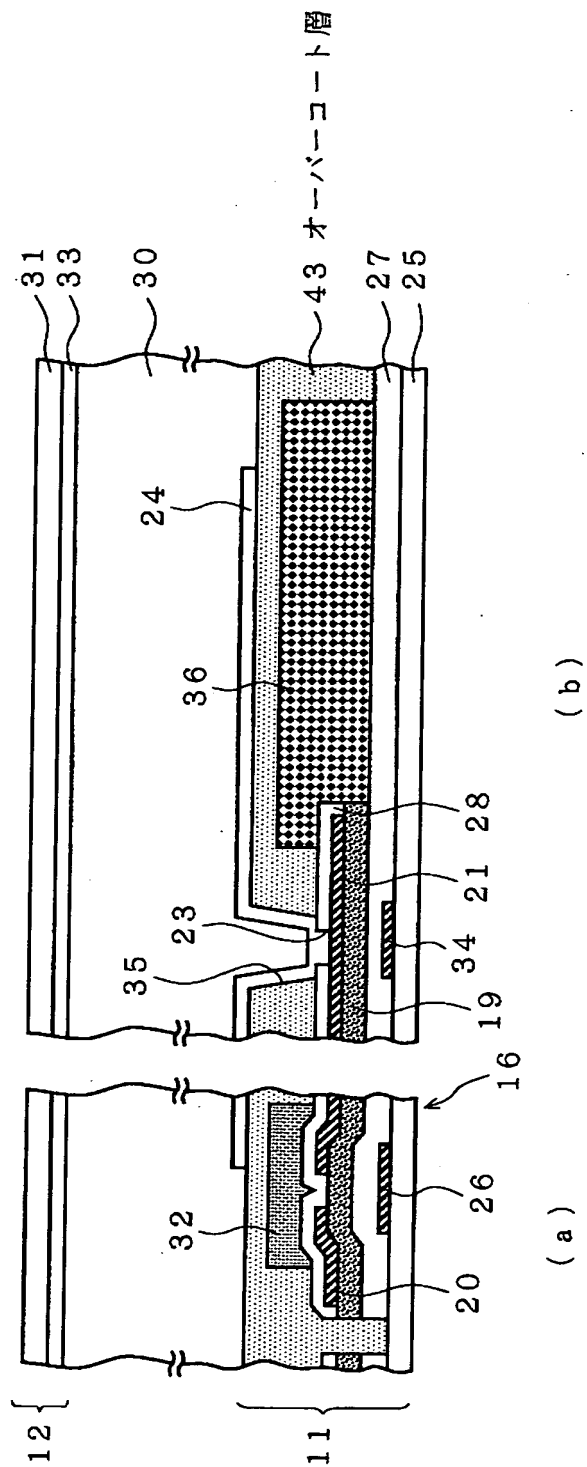
【図 11】



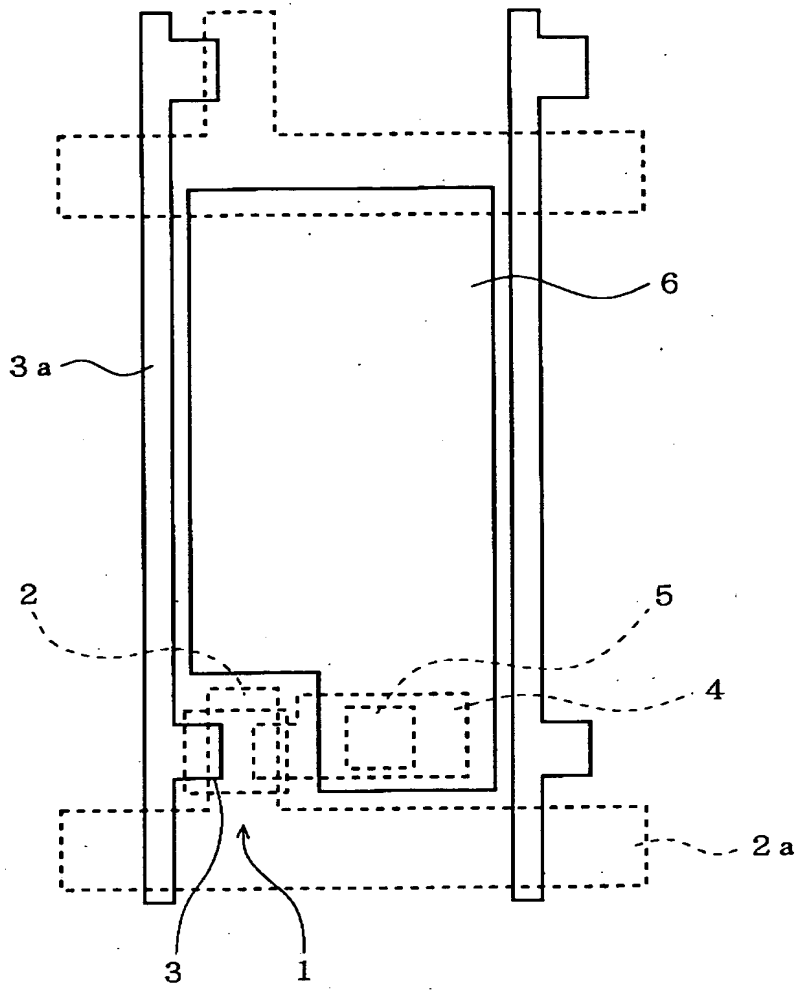
【図 1 2】



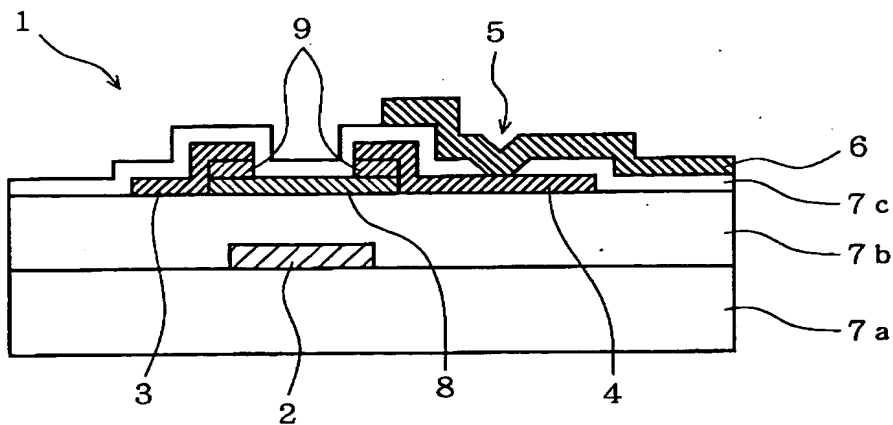
【図 1 3】



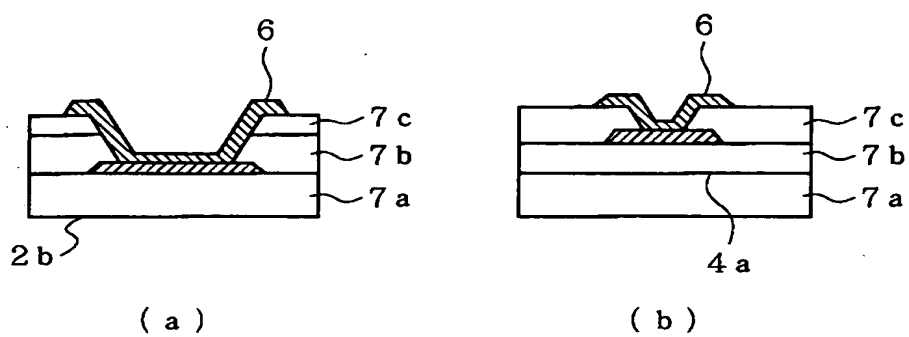
【図14】



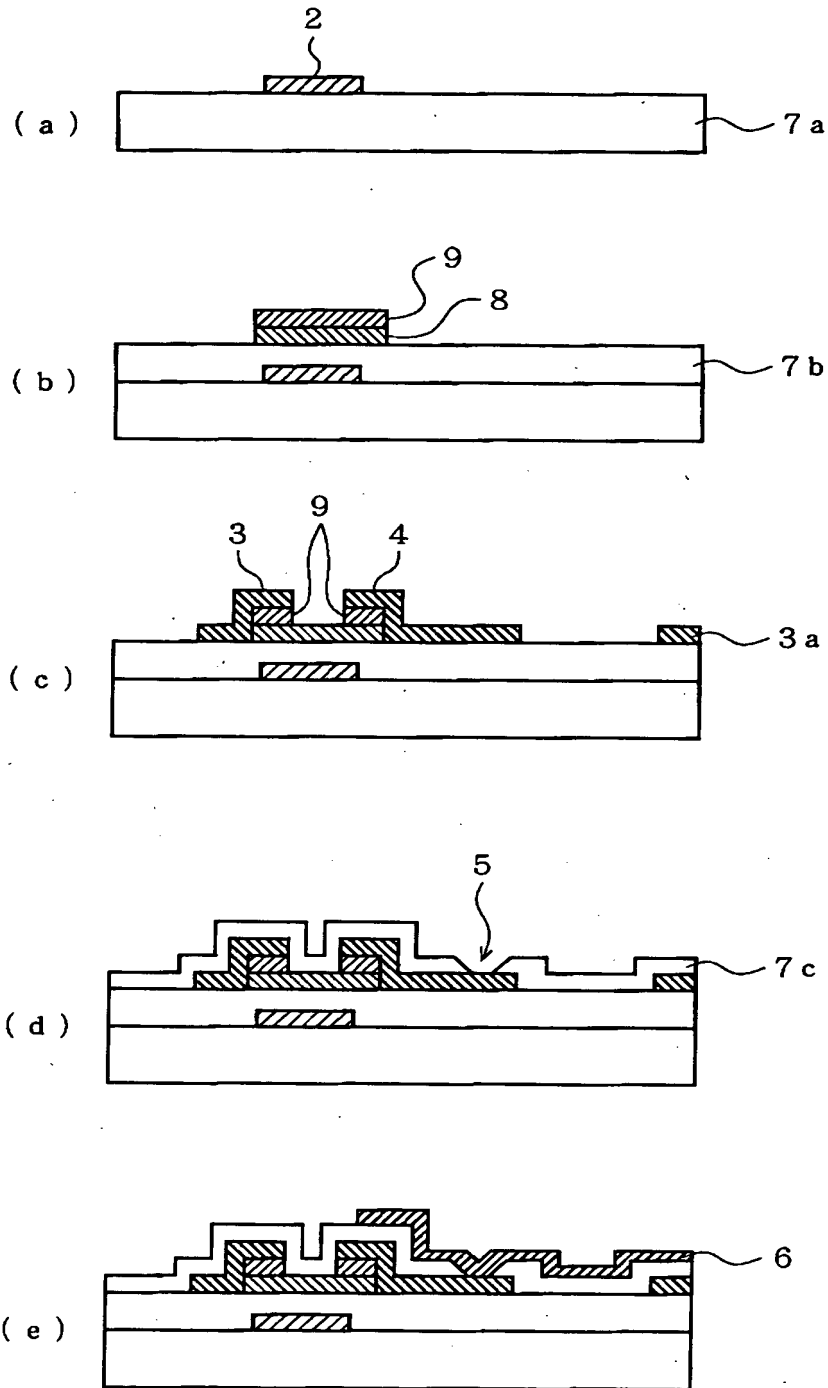
【図15】



【図 1 6】



【図 1 7】



【書類名】 要約書

【要約】

【課題】 トランジスタ基板に有機膜を設けて性能を高めた液晶表示装置を、より少ない製造工程数により製造することができ、生産性を向上させることができる液晶表示装置用トランジスタ基板及びその製造方法を提供する。

【解決手段】 透明絶縁性基板 2 5 の上に、ゲート電極 2 6、ゲート絶縁膜 2 7、半導体層 1 9、ソース電極 2 0 及びドレイン電極 2 1、パッシベーション膜 2 8 が、記載順に積層され、対向基板 1 2 との間に液晶層 3 0 を充填して対向配置された液晶表示装置用トランジスタ基板において、データ配線 1 8 及びドレイン電極 2 1 の下の半導体層 1 9 と、ソース電極 2 0 の下の半導体層 1 9 を切り離した。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社